

一种适用于多核 DSP 片外扩展的网络接口的设计

方幸福¹, 梁利平²

(1 清华大学 微电子研究所, 北京 100084; 2 中国科学院 微电子学研究所, 北京 100029)

摘 要: 分析了 RapidIO 在多核 DSP 互连应用中的优势, 提出了一种针对多核 DSP 应用的可扩展的片上网络互连结构. 设计并实现了一种兼容 RapidIO 协议的网络接口体系结构, 建立了网络接口的功能仿真模型, 并在此基础上评估了网络接口的吞吐量和附加延时.

关键词: 网络接口; RapidIO; 片上网络; 多核 DSP

中图分类号: TP303

文献标识码: A

文章编号: 1000-7180(2010)05-0009-05

A Design of Network Interface Applied to Multi-core DSP Off-chip Extension

FANG Xing-fu¹, LIANG Li-ping²

(1 Institute of Microelectronics, Tsinghua University, Beijing 100084, China;

2 Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: The advantage of RapidIO in multi-core DSP interconnection is analyzed and a network on chip interconnection architecture applied for multi-core DSP application is proposed in this paper. A network interface architecture compatible of RapidIO protocol is designed and implemented. We build up the functional simulation model of the network interface, based on which the throughput and extra time delay of the network interface is appraised.

Key words: Network interface; RapidIO; Network-on-Chip; Multi-core DSP

1 引言

虽然近年来 DSP 的性能不断增长, 但单核 DSP 的处理能力仍然无法满足许多实际应用的需求. 多个 DSP 组成阵列进行多核协作并行计算, 可以成倍提高系统的数据处理能力. 在多核 DSP 的设计中互连技术的研究已经成为新兴的热点问题^[1].

片上网络(NoC)是近年来针对片上系统(SoC)开发的片上通信结构, 采用全局异步局部同步的时钟方案解决了复杂片上系统难以全局时钟同步的问题. 只要定义好网络接口, DSP 核和片上网络完全可以独立设计. 片上网络已经成为多核体系结构中最常用的互连结构^[2-3]. 随着设计复杂度的提高, 要验证 64 核这样规模的多核体系结构, 已经无法在单片 FPGA 上完成. 同时, 利用已有的第三方片外

DSP 核可以缩短设计周期, 使系统的扩展性更灵活. 为了使片上网络能够在多片上进行扩展, 必须有一种高速可靠的片间互连方式, 达到接近于单片扩展的性能.

基于串化解串(Serdes)技术的高速串行总线目前逐渐取代了传统的共享并行总线, 采用该技术的总线协议主要有: RapidIO、PCI Express、InfiniBand、HyperTransport. RapidIO 是一种高性能, 低引脚数, 基于报文交换的互连体系结构, 能广泛满足嵌入式系统应用的需求^[4], 支持芯片到芯片和板到板之间的互连. 因此 RapidIO 互连很适合用于片上网络多个芯片间的互连, 也适合用于扩展片外第三方 DSP 核, 目前已经有很多商用 DSP 核支持 RapidIO 接口.

在多片同构多核 DSP 体系结构的基础上, 提出

了一种兼容 RapidIO 协议的网络接口方案,用于外接第三方 DSP 核来扩展多核系统.设计了网络接口的体系结构并建立了功能仿真模型,给出了网络接口吞吐量和附加传输延时的仿真结果.

2 网络接口总体方案

采用的可扩展的片上网络的互连结构如图 1 所示.网络采用 4×4 的 mesh 拓扑结构,在 4 块芯片上实现,芯片内部互连采用并行总线,芯片之间互连采用基于 RapidIO 物理层协议的高速串行总线,芯片和第三方片外 DSP 核的互连则完全兼容 RapidIO 协议.文中网络接口方案是针对芯片和第三方片外 DSP 核的互连.

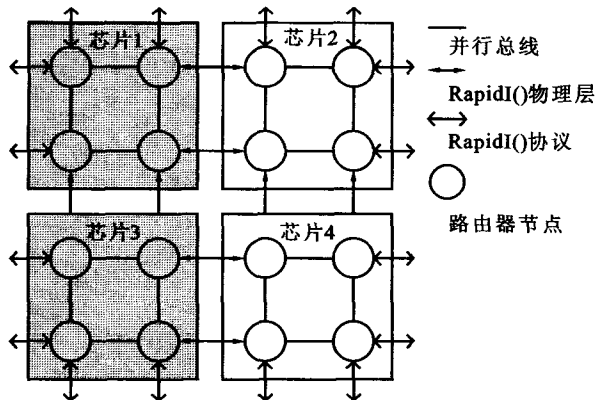


图1 4×4 mesh结构的可扩展片上网络互连结构

已有的 RapidIO 应用集中于把单个芯片作为 RapidIO 拓扑结构的一个节点,文中提出的方案把整个片上网络作为 RapidIO 拓扑结构的一个节点,网络内部的协议完全自己定义,优点在于既能利用 RapidIO 接口对基于片上网络架构的多核 DSP 系统做片外扩展,又能使片上网络的拓扑结构不依赖于 RapidIO 独立设计.因为在 RapidIO 的拓扑结构中,数据交换的单元是交换开关,而本设计中数据交换由独立于 RapidIO 协议的路由器来完成的.如果需要兼容其他的总线协议,只需要更改网络接口的设计.

提出的网络接口主要实现如下功能:(1)解析来自片上网络的数据包并转换成 RapidIO IP 核(RapidIO MegaCore Function)所需要的数据格式,或者接收来自 RapidIO IP 核的数据,并按照网络协议组装成数据包在网络上发送,实现片上网络同片外 DSP 核的通信.(2)网络接口支持不同时钟域的数据传输,满足片上网络全局异步,局部同步的时钟要求.(3)能够检测来自网络数据包的错误,保证可靠传输.(4)使用基于信用量的流控机制,防止缓冲器

溢出造成数据丢失.输入和输出缓冲器设计成异步的先进先出队列(FIFO),网络发送方通过对接收方缓冲器剩余空间的计数,判断接收方缓冲器是否为满,决定是否继续发送数据,从而实现流量控制.同时异步 FIFO 起到分割时钟域的作用.(5)网络接口使用多个虚通道技术缓解网络死锁,提高网络的吞吐率.图 2 给出了网络接口的总体设计方案.

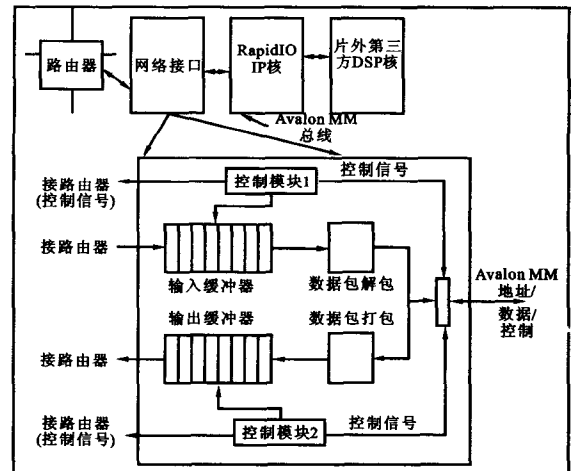


图2 网络接口总体方案

网络接口一端接在路由器的一个端口上,另一端通过 RapidIO IP 核连接片外第三方 DSP 核.以 Altera 公司的 RapidIO IP 核实现 RapidIO 的物理层、传输层和逻辑层. RapidIO IP 核在物理层通过串行 RapidIO 总线和外接第三方 DSP 核互连,在逻辑层向用户提供了 4 组 IO 读写操作的 Avalon 存储器映射总线接口(Avalon MM),分别用于主模式读操作、从模式读操作、主模式写操作和从模式写操作^[5].

网络内部协议定义了三种最基本的操作,写请求、读请求和读响应操作,每种操作都有对应的传输层事务包.由于路由器采用的是基于微片的交换方式,这些传输层数据包被分割成一系列的微片通过路由器,每个微片是一个 36 位宽的并行数据.网络接口和路由器之间的数据传输以微片作为最小的单元,每个时钟周期传输一个微片.网络协议采用 32 位地址字段,对于 RapidIO IP 核来说,整个片上网络的存储空间以全局方式编址.在配置 RapidIO IP 核时,Avalon MM 接收端地址配置成 64 位宽,其中低 32 位为器件的偏移地址,高 32 位被解析为路由器的节点编号、路由器上挂接的 DSP 编号以及每个 DSP 对应的存储器编号.由于外接的是单一 DSP 核,Avalon MM 发送端地址段宽 32 位,全部作为器

件的偏移地址.

3 网络接口的体系结构和实现

3.1 体系结构

在如图3所示的网络接口体系结构中,按照数据通路的方向可以分为接收模块、发送模块以及控制 Avalon MM 总线时序的 Avalon MM 接口控制器三个部分.

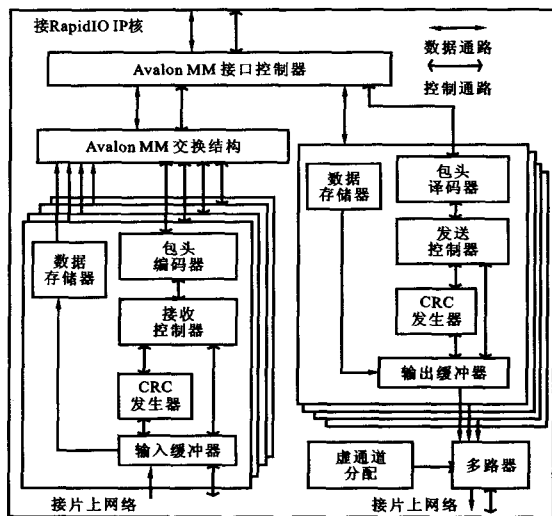


图3 网络接口的体系结构

输入模块接收来自片上网络的数据包并按照虚通道号以微片的形式写入对应的输入缓冲器.缓冲器输出的微片在进行CRC校验的同时,数据包头微片被包头解码器解析出操作类型、地址、传输长度、数据包编号等字段,存入相应的寄存器,数据部分存入数据存储器.缓冲器每输出一个单元的微片,接收控制器便向网络发送一个单位的信用量.在接收完一个完整的数据包后,CRC校验模块给出校验结果,如果校验正确,接收控制器向Avalon MM交换结构请求Avalon MM总线使用权,在得到允许后,开始一次Avalon MM总线传输.

Avalon MM交换结构在输入模块的4个虚通道和Avalon MM接口控制器的4组接口之间分配互不冲突的通路.交换结构由4个仲裁器和多路选择器构成,仲裁器采用轮转优先级的方式处理来自多个虚通道的请求.

输出模块接收的数据有来自Avalon MM主模式读接口的读请求操作、Avalon MM主模式写接口的写请求操作和Avalon MM从模式读接口的读响应操作.这3个接口完全是并行的,因此对这3种操作采用并行的处理方式会提高网络接口的吞吐量.

接收到的数据字段存入数据存储器中,地址、传输长度等字段由包头编码器加入到包头对应的位置,由发送控制器产生的操作类型和数据包编号字段也一起编入数据包头中.接收完Avalon MM接口的一次操作后,循环冗余码发生器产生数据包的校验字段.整个数据包被分割成微片存入输出缓冲器.输出缓冲器中的微片单元在满足流量控制和虚通道分配的条件下输出给路由器.

循环冗余校验码是一种系统缩短循环码,广泛应用于帧校验.CRC发生器计算出CRC值并随数据一同发送给接收装置,接收装置对收到的数据重新计算CRC并与收到的CRC相比较,若两个CRC值不同,则说明数据通讯出现错误.为了提高CRC发生器和CRC校验器的校验速度,文中使用了32位并行校验技术,并行度与片上网络数据包的并行度相同,这样数据校验过程几乎不会产生额外的附加时延.

Avalon MM接口控制器产生Avalon MM总线的读写时序,实现与RapidIO IP核的对接.

3.2 接收控制器

接收控制器产生数据接收模块的状态机和控制逻辑,图4给出了接收控制器的状态转移过程.

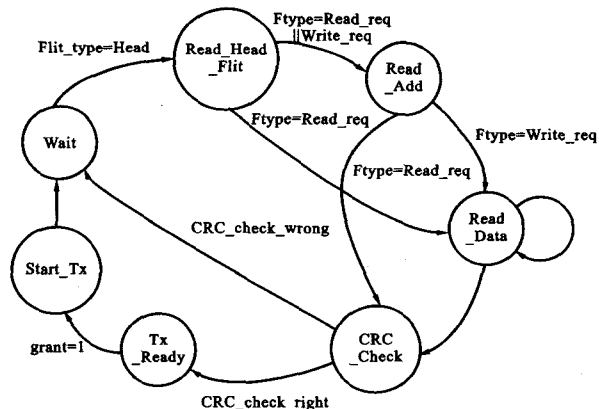


图4 接收控制器状态图

Wait状态是系统启动后的初始化状态,当检测到输入缓冲器中的头微片时,进入Read_Head_Flit状态.在Read_Head_Flit状态下,数据包头解码器提取出头微片的操作类型、地址、传输长度、数据包编号字段存入寄存器.不同的操作类型在接下来的状态中将经历不同的转移过程.读请求操作经过读地址状态(Read_Add)进入到CRC校验状态(CRC_Check).读响应操作没有地址字段,但要经过读数据状态(Read_Data)再进入到CRC校验状态.写请求操作则要经过读地址和读数据两个状态

再进入到 CRC 校验状态. 在 CRC 校验状态, 如果 CRC 校验正确, 则进入准备发送状态(Tx_Ready), 否则, 如果校验错误, 该数据包作废, 进入等待状态(Wait)等待下一次传输. 在准备发送状态, 向 Avalon MM 交换结构提交发送请求, 如果收到发送允许有效信号, 则进入开始发送(Start_tx)状态, 该虚通道占用 Avalon MM 总线完成一次事务传输后, 又回到等待状态.

3.3 发送控制器

发送控制器产生数据发送模块的状态机和控制逻辑, 包括事务标签的产生和虚通道的分配. 事务标签的产生采用了动态分配的机制, 即对不再使用的标签回收到标签缓冲器中, 每次分配时从标签缓冲器读出一个标签, 提高了标签的使用效率. 虚通道的分配则是基于这样一个要求: 每个输入虚通道队列只有在接收到数据包的最后一个微片时才能被重新分配给下一个数据包.

3.4 Avalon MM 接口控制器

Avalon-MM 接口的总线模块是一种交换式的总线, 具有较好的数据交换特性和很高的总线带宽. Avalon-MM 总线的传输方式是一种主从式的传输方式, 即由一个主控端外设发起并控制传输过程, 而从属端外设响应由总线模块发来的信号完成整个传输. Avalon MM 接口控制器分为主模式读、主模式写、从模式读和从模式写 4 个独立的总线控制模块, 产生控制总线时序的状态机.

4 网络接口的功能仿真模型

网络接口的功能仿真模型主要用来验证 3 种网络传输事务和分析网络接口的性能. 网络接口的性能可以用吞吐量和附加延时来表征^[6]. 吞吐量是指在某个时钟频率下, 网络接口每秒钟能够接收或发送数据净荷的比特数. 吞吐量的绝对值没有多大意义, 这里把吞吐量对网络带宽作归一化, 求出归一化的吞吐量. 网络接口的附加延时是指数据经过网络接口会引起的延时, 这个延时是整个网络延时的一部分. 同样, 我们并不要求知道延时的绝对值, 而是以时钟周期作为延时的单位.

在给定的时钟频率下, 影响网络接口吞吐量的因素包括所采用协议的效率和网络接口本身的效率.

面向应用负载的仿真是对网络接口最精确的仿真方式, 但对于评价网络接口的吞吐量和附加延时, 图 5 给出的仿真模型已经足够. 该仿真模型采用

自发自收的方式, 将发送和接收模块互相连接起来.

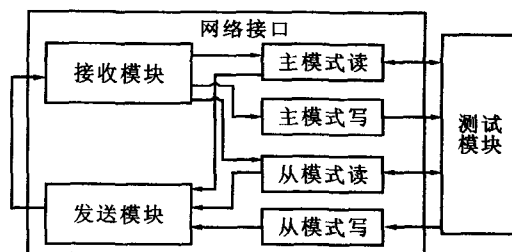


图 5 网络接口的功能仿真模型

测试模块发起事务传输并且统计数据从发送到接收经过的延时和吞吐量. 数据包的接收时间减去发送时间即是网络接口的传输延时, 包括发送模块的延时和接收模块的延时. 每秒钟平均接收到的数据净荷比特数即为吞吐量, 由于刚开始网络接口处于空闲状态, 对吞吐量的统计是在接收到第一个数据包后. 在网络端时钟为 80M 和 Avalon MM 总线时钟为 50M 的条件下, 我们测试了各种长度情况下的读请求事务和写请求事务, 得到了对吞吐量和网络接口额外时延的统计.

图 6 是在不同数据载荷大小的情况下, 读操作和写操作的归一化吞吐量曲线图. 可以看出, 不管是对读操作还是写操作, 数据载荷越大, 吞吐量越高. 由于读操作由读请求和读响应两个事务来完成, 而写操作只需要写请求一个事务, 因此读操作的吞吐量明显小于写操作.

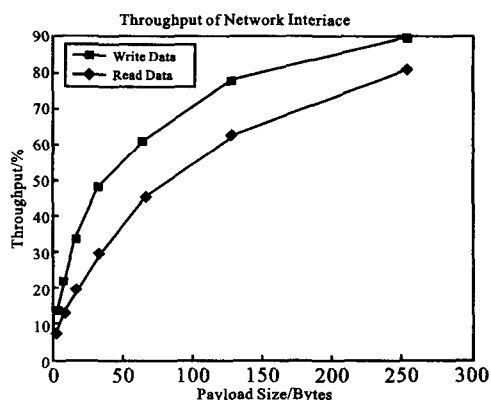


图 6 不同数据净荷长度下网络接口的吞吐量

网络附加延时主要考察发送模块和接收模块的延时, 由于接收模块要接收完整数据包并且做完校验才发送出去, 所以接收模块的延时会超过一个数据包的发送时间, 发送模块则几乎是实时的. 图 7 给出了发送和接收路径的网络附加延时.

网络时延的仿真结果表明, 接收模块的附加延时和数据净荷长度几乎成线性关系增长, 而发送模

块的时延几乎不随数据净荷长度增长。

比较吞吐量和附加时延的仿真结果,可以看出:增加数据净荷长度,网络接口的吞吐量会增加,同时也会带来更多的附加时延。

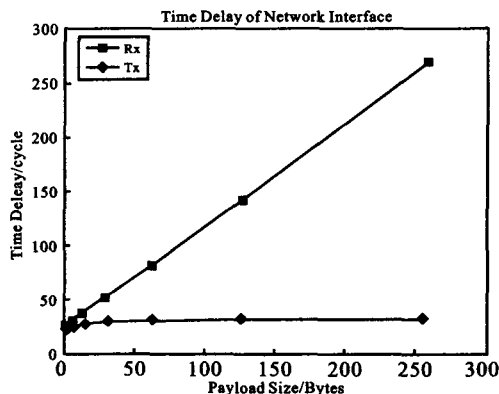


图7 不同数据净荷长度下网络接口的时延

5 结束语

文中提出的适用于多核 DSP 系统片外扩展的网络接口,对于研究多核的体系结构具有实际意义。该方案简单易行,能和市场上已有的很多商用 RapidIO 接口的器件兼容。在基于 Verilog 的仿真平台上测试了网络接口的吞吐量和附加时延。在数据载荷长度为 256MB 的情况下,吞吐率能接近 90%,网

络的附加延时也控制在接近于一个数据包的发送时间。

参考文献:

- [1] 王帆,刘云. 串行 RapidIO 在多 DSP 系统中的应用初探[J]. 计算机与数字工程, 2008, 36(8): 204-207.
- [2] Partha Pratim Pande, Cristian Grecu, Michael Jone, et al. Performance evaluation and design trade-offs for network-on-chip interconnect architectures[J]. IEEE Transactions on computers, 2005, 54(8): 1025-1040.
- [3] 杨晓强,高晔. NOC 系统设计的研究[J]. 微电子学与计算机, 2008, 25(7): 176-183.
- [4] Sam Fuller. RapidIO 嵌入式系统互联[M]. 王勇,译. 北京:电子工业出版社, 2006.
- [5] RapidIO Trade Association. RapidIO: an embedded system component network architecture[EB/OL]. [2009-02-22][2009-10-11]. <http://www.rapidio.org>.
- [6] 魏建军,康继昌,雷艳静. NOC 的平衡设计[J]. 微电子学与计算机, 2007, 24(5): 54-57.

作者简介:

方幸福 男, (1983-), 硕士研究生. 研究方向为片上网络接口设计。

梁利平 男, (1969-), 博士, 研究员. 研究方向为高性能数字信号处理器和高速混合信号集成电路设计技术。

(上接第8页)

方法,有效地指导了电路设计,同时文中提出的非理想因素建模方法还可以适用于其他结构的调制器。

参考文献:

- [1] 陈旋, 庄奕琪. 高速二阶 $\Sigma\Delta$ 调制器的设计[J]. 微电子学与计算机, 2003, 20(8): 167-170.
- [2] Malcovati P, Brigati S, Francesconi F. Behavioral modeling of switched-capacitor sigma-delta modulators[J]. IEEE Trans. on Circuits and Systems I, 2003(50): 352-364.
- [3] Hashern ZareHoseni, Izzet Kale, Omid Shoaie. Modeling of switched-capacitor delta-sigma modulators in Simulink[J]. IEEE transactions on instrumentation and measurement, 2005, 54(4): 1646-1654.
- [4] Hai Tao H, Toth L, Khoury J M. Analysis of timing jitter in bandpass sigma-delta modulators[J]. IEEE Trans. Circuits Syst. II, 1999(46): 991-1001.

- [5] Enz C, Temes G. Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling and chopper stabilization[J]. IEEE, 1996 (84): 584-614.
- [6] Medeiro F, PerezVerdu B, Rodriguez Vazquez A. Modeling opamp-induced harmonic distortion for switched-capacitor $\Sigma\Delta$ modulator design[J]. IEEE Int. Symp. Circuits and Systems, 1994(5): 445-448.
- [7] Rio R del. Reliable analysis of settling errors in SC integrators: application to $\Sigma\Delta$ modulators[J]. Electron. Lett., 2000(36): 503-504.
- [8] 陈建球, 许俊, 任俊彦. $\Sigma\Delta$ 调制器输出码流 FFT 谱分析的探讨[J]. 微电子学与计算机, 2007, 24(5): 116-119.

作者简介:

陈凯 男, (1983-), 硕士研究生. 研究方向为模拟射频信号电路的建模和设计。